

PAT-NO: JP408220506A

DOCUMENT-IDENTIFIER: JP 08220506 A

TITLE: LIQUID CRYSTAL DISPLAY

PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

NAME

JINNO, MASASHI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP07031045

APPL-DATE: February 20, 1995

INT-CL (IPC): G02F001/133, G02F001/136 , G09G003/36 ,  
H01L029/786  
, H01L021/336

ABSTRACT:

PURPOSE: To prevent action inferiority caused by deterioration peculiar to elements so as to improve reliability, while suppressing the lowering of the drive capacity and increase in formation area of transistors by adopting a high-voltage-resistant structure for only the transistors whose deterioration are increased by load applied thereto according to a waveform of an applied signal voltage.

CONSTITUTION: In a period occupied almost all operation period, voltage is in the applied state, while n-chTFT 11, 31 are off and

large load is applied thereto so as to be easily deteriorated. On the other hand, such a period that bias voltage is applied to n-chTFT 12, 21 in their off states, is occupied only one several millionth of all the operation period. The load applied to the n-chTFT 11, 31 is extremely large so that they are in more easily deteriorated states compared with the other elements. Therefore, the adoption of LDD structure for only these TFT 11, 31 can suppress the lowering of the drive capacity and enlargement of element formation area at minimum, while efficiently improving voltage resistance of the whole shift resistor part.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-220506

(43)公開日 平成8年(1996)8月30日

(51)IntCL <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
1/136	5 0 0		1/136	5 0 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
21/336				6 1 6 A

審査請求 未請求 請求項の数7 OL (全13頁)

(21)出願番号 特願平7-31045	(71)出願人 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日 平成7年(1995)2月20日	(72)発明者 神野 優志 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内

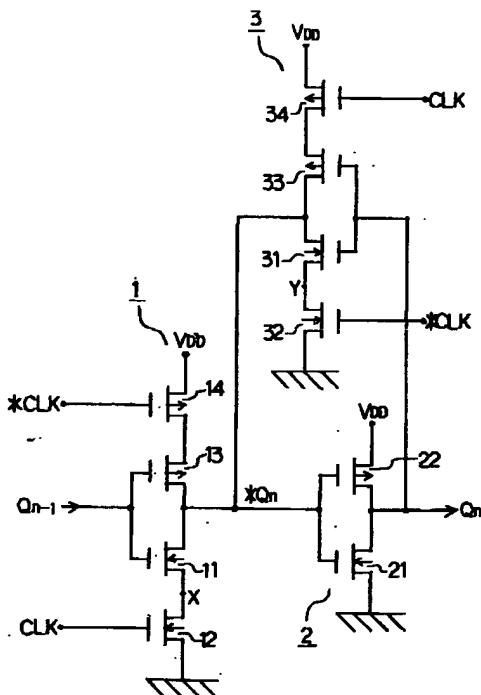
(74)代理人 弁理士 岡田 敏

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 P-Si TFTを用いた駆動回路内蔵型液晶表示装置において、表示品位とLCDモジュールの小型化を妨げることなく信頼性を向上する。

【構成】 ドライバーを構成するTFTのうち、負荷の大きいn-ch TFT (11)のみをLDD構造とする。これにより、駆動回路部全体の信頼性が向上し、かつ、LD部の介在部が最少となるため、駆動能力の低下が抑えられるとともに、素子形成面積の増大が抑えられる。



1

## 【特許請求の範囲】

【請求項1】 基板上に互いに交差して配置されたゲートライン群とドレインライン群、これらの各交差部に形成されたスイッチ素子群、及び、前記ゲートライン及びドレインラインへ信号電圧を印加する駆動回路部を有する液晶表示装置において、

前記スイッチ素子群及び前記駆動回路部は、複数の多結晶シリコン薄膜トランジスタにより構成され、このうちOFF中にバイアス電圧が印加される期間が印加されない期間よりも長い前記多結晶シリコン薄膜トランジスタが、高耐圧の構造に形成されていることを特徴とする液晶表示装置。

【請求項2】 前記駆動回路部はシフトレジスタ部を含み、前記シフトレジスタの各段は、第1のクロックドインバータ、及び、第2のクロックドインバータとインバータからなるラッチ回路により構成され、前記第1及び第2のクロックドインバータは、Lレベル出力側の前記多結晶シリコン薄膜トランジスタが、クロックにより前記Lレベル出力を制御する前記多結晶シリコン薄膜トランジスタよりも高耐圧の構造に形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記高耐圧の構造は、高濃度にドーピングされたソース領域及びドレイン領域の相対向する側に接する少なくともいずれか一方において、ノンドープのチャンネル領域との間に低濃度にドーピングされたLD領域が介在していることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記LD領域は、前記ドレイン領域と前記チャンネル領域の間に介在され、かつ、前記第1及び第2のクロックドインバータの出力端は、前記ドレイン領域に接続されていることを特徴とする請求項3記載の液晶表示装置。

【請求項5】 前記駆動回路部は、前記シフトレジスタの隣接する各段の出力の論理積をとるためのNAND回路部を含み、前記NAND回路のLレベル出力側の前記多結晶シリコン薄膜トランジスタは、前記NAND回路のGROUND入力側の前記多結晶シリコン薄膜トランジスタよりも高耐圧の構造に形成されていることを特徴とする請求項2記載の液晶表示装置。

【請求項6】 前記高耐圧の構造は、高濃度にドーピングされたソース領域及びドレイン領域の相対向する側に接する少なくともいずれか一方において、ノンドープのチャンネル領域との間に低濃度にドーピングされたLD領域が介在していることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記LD領域は、前記ドレイン領域と前記チャンネル領域の間に介在され、かつ、前記NAND回路の出力端は前記ドレイン領域に接続されていることを特徴とする請求項6記載の液晶表示装置。

## 【発明の詳細な説明】

2

## 【0001】

【産業上の利用分野】本発明は、液晶表示装置（LCD : Liquid Crystal Display）に関し、特に、駆動回路部を表示画素部と同様に基板上に一体形成した、駆動回路内蔵型LCDに関する。

## 【0002】

【從来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ（TFT : Thin Film Transistor）を用いたアクティブマトリクス型は、原理的にデューティ比100%のスタティック駆動をマルチプレクス的に行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】アクティブマトリクスLCDは、マトリクス状に配置された表示電極にTFTを接続形成した基板（TFF基板）と共に電極を有する基板（対向基板）が、液晶を挟んで貼り合わされて構成されている。表示電極と共通電極の対向部分は液晶を誘電層とした画素容量となっており、TFTにより選択された電圧が印加される。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して光を変調する。

【0004】近年、TFTのチャンネル層としてp-Siを用いることによって、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路内蔵型のLCDが開発されている。一般に、p-Siはa-Siに比べて移動度が高く、また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成され、n-ch TFTとp-ch TFTの相補構造を形成することにより、高速駆動回路を構成することができる。このように、駆動回路部をマトリクス画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】図14にこのようなLCDの構成を示す。中央部の点線で囲まれた部分はマトリクス画素部であり、TFTのON/OFFを制御するゲートライン（G<sub>1</sub>～G<sub>m</sub>）と画素信号用のドレインライン（D<sub>1</sub>～D<sub>n</sub>）が交差して配置されている。各交点にはTFTとこれに接続する表示電極（いずれも不図示）が形成されている。画素部の左右にはゲートライン（G<sub>1</sub>～G<sub>m</sub>）を選択するゲートドライバー（GD）が配置され、画素部の上下には、映像信号をサンプリングしてホールドし、ゲートドライバ（GD）の走査に同期して各ドレインライン（D<sub>1</sub>～D<sub>n</sub>）に画素信号電圧を印加するドレインドライバー（DD）が配置されている。これらのドライバー（GD, DD）は主としてシフトレジスタからなり、これは、p-Si TFTのn-chとp-chの相補構造により構成されている。

50 【0006】図15に、このようなp-Si TFTの構

3

造を示す。高耐熱性の石英ガラスなどの基板(100)上に、600°C程度の常圧CVDによりp-Si(101)が形成され島状にパターニングされている。p-Si(101)上には、SiO<sub>2</sub>などのゲート絶縁膜(102)が被覆されている。ゲート絶縁膜(102)上には、常圧CVDにより成膜したp-Siをn型に高濃度にドーピングして低抵抗化し、これをパターニングして得られたゲート電極(103)がある。ゲート電極(103)上には、製造時に他の導電型の不純物の注入を阻止する絶縁膜が積層され注入ストッパー(104)が設けられている。また、p-Si(101)は、ゲート電極(103)をマスクとしたセルフアライン構造で、n型あるいはp型にドーピングされたソース・ドレイン領域(101S, 101D)と、ノンドープのチャンネル領域(101N)が形成されている。全面にはSiNXなどの層間絶縁膜(105)が被覆され、層間絶縁膜(105)上には、A1などからなるソース及びドレン電極(106S, 106D)が設けられ、コンタクトホール(CT)を介して各々ソース・ドレン領域(101S, 101D)に接続されている。更に図示は省いたが、画素部ではITOからなる表示電極が形成されてソース電極(106S)へ接続され、駆動回路部では層間絶縁膜と導電膜により多層配線が形成されて所定の結線が形成される。

## 【0007】

【発明が解決しようとする課題】図16と図17にn-ch TFT素子の特性が印加電圧時間に依存して劣化する様子を示した。図16はバイアス印加時間に対する閾値電圧V<sub>th</sub>の初期値V<sub>th0</sub>からのシフト量ΔV<sub>th</sub> [v]を示す特性図であり、図17はバイアス印加時間に対する相互コンダクタンスg<sub>m</sub>の初期値g<sub>mo</sub>からの劣化量Δg<sub>m</sub>の割合Δg<sub>m</sub>/g<sub>mo</sub>を示す特性図である。なお、それぞれの図の破線で示すグラフ(B)は、ゲート電圧V<sub>g</sub>=0 [v]、ドレン電圧V<sub>d</sub>=20 [v]の場合のΔV<sub>th</sub>あるいはΔg<sub>m</sub>/g<sub>mo</sub>値であり、一点鎖線で示すグラフ(C)は、同じくV<sub>g</sub>=V<sub>d</sub>=20 [v]の場合のΔV<sub>th</sub>あるいはΔg<sub>m</sub>/g<sub>mo</sub>値である。図16において、グラフ(B)に着目すると、TFTがOFFで、かつ、ドレン電圧が印加された状態では6 [v]以上の閾値の変化があるのに対し、グラフ(C)を見ると、TFTがONでソース・ドレン間が導通の場合は、時間がたつにつれて2~4 [V]と比較的小さい。また、図17より、グラフ(B)に着目すると、TFTがOFFで、かつ、ドレン電圧が印加された状態では、g<sub>m</sub>の劣化量は60%程度以上であるのに対し、グラフ(C)を見ると、時間がたつにつれて1~数%と小さい。これより、OFF中にバイアス電圧が印加されると、チャンネル内に強電界が形成され、アバランシェ増幅などによるホットキャリアを生じ、特性の劣化につながることが推測される。

4

【0008】TFTの耐圧を向上する手段として、ソース・チャンネル間、及び、ドレン・チャンネル間に、ソース及びドレン領域よりも不純物濃度の低い領域(LD)を介在させた低濃度ドレン(LDD; Lightley Doped Drain)構造、あるいは、チャンネル長を大き

くした構造などがある。しかし、このような高耐圧の構造は一般に、相互コンダクタンスg<sub>m</sub>の低下、素子形成面積の増大などをもたらすため、駆動能力とLCDモジュールの小型化を維持しながら、信頼性を高めることは困難であった。特に、ドレン側のシフトレジスタの速度を低下させると直接に表示品位の劣化につながり、また駆動回路部の大型化は、LCDモジュールの小型化を妨げるのみならず、高価な石英基板の使用比率が高まり、コストの増大をもたらしていた。

## 【0009】

【課題を解決するための手段】本発明はこの課題を解決するために成され、第1に、基板上に互いに交差して配置されたゲートライン群とドレンライン群、これらの各交差部に形成されたスイッチ素子群、及び、前記ゲートライン及びドレンラインへ信号電圧を印加する駆動回路部を有する液晶表示装置において、前記スイッチ素子群及び前記駆動回路部は、複数の多結晶シリコン薄膜トランジスタにより構成され、このうちOFF中にバイアス電圧が印加される期間が印加されない期間よりも長い前記多結晶シリコン薄膜トランジスタは、OFF中にバイアス電圧が印加される期間が印加されない期間よりも短い前記多結晶シリコン薄膜トランジスタよりも高耐圧の構造に形成されている構成とした。

【0010】第2に、第1の構成において、前記駆動回路部はシフトレジスタ部を含み、前記シフトレジスタの各段は、第1のクロックドインバータ、及び、第2のクロックドインバータとインバータからなるラッチ回路により構成され、前記第1及び第2のクロックドインバータは、Lレベル出力側の前記多結晶シリコン薄膜トランジスタが、クロックにより前記Lレベル出力を制御する前記多結晶シリコン薄膜トランジスタよりも高耐圧の構造に形成されている構成とした。

【0011】第3に、第2の構成において、前記高耐圧の構造は、高濃度でドーピングされたソース領域及びドレン領域の相対向する側に接する少なくともいずれか一方において、ノンドープのチャンネル領域との間に低濃度でドーピングされたLD領域が介在されている構成とした。第4に、第3の構成において、前記LD領域は、前記ドレン領域と前記チャンネル領域の間に介在され、かつ、前記第1及び第2のクロックドインバータの出力端は、前記ドレン領域に接続されている構成とした。

【0012】第5に、第2の構成において、前記駆動回路部は前記シフトレジスタの隣接する各段の出力の論理

路のLレベル出力側の前記多結晶シリコン薄膜トランジスタは、前記NAND回路のGROUND入力側の前記多結晶シリコン薄膜トランジスタよりも高耐圧の構造に形成されている構成とした。

【0013】第6に、第5の構成において、前記高耐圧の構造は、高濃度にドーピングされたソース領域及びドレイン領域の相対向する側に接する少なくとも一方において、ノンドープのチャンネル領域との間に低濃度にドーピングされたLD領域が介在されている構成とした。第7に、第6の構成において、前記LD領域は、前記ドレイン領域と前記チャンネル領域の間に介在され、かつ、前記NAND回路の出力端は前記ドレイン領域に接続されている構成とした。

#### 【0014】

【作用】前記第1の構成で、多結晶シリコン薄膜トランジスタのうち、印加される信号電圧の波形によって負荷がかかり、劣化が激しくなるトランジスタのみを高耐圧の構造とすることにより、駆動能力の低下や、トランジスタの形成面積の増大を少なく抑えながら、同時に、素子特性の劣化による動作不良が防がれて信頼性が向上される。

【0015】前記第2の構成で、シフトレジスタを構成する多結晶シリコン薄膜トランジスタのうち、印加される信号電圧の波形によって負荷が大きく劣化しやすくなるクロックドインバータのLレベル出力側のトランジスタのみを比較的高耐圧の構造に形成することにより、駆動能力の低下やトランジスタの形成面積の増大を少なく抑えながら、同時に、信頼性が向上される。

【0016】前記第3の構成で、高耐圧の多結晶シリコン薄膜トランジスタとして、高濃度にドーピングされたソース及びドレイン領域の少なくとも一方と、ノンドープのチャンネル領域との間に低濃度にドーピングされたLD領域を介在させた構造とすることにより、チャンネル中の電界が緩和されて耐圧が高まり、信頼性が向上する。

【0017】前記第4の構成で、Hレベル期間の長いクロックドインバータの出力端に接続するLレベル側の多結晶シリコン薄膜トランジスタのドレインに、LD領域を形成することにより、ドレイン領域近傍の強電界が緩和され、駆動能力の低下やトランジスタの形成面積の増大を最小限に抑えながら、同時に、信頼性が向上される。

【0018】前記第5の構成で、NAND回路を構成する多結晶シリコン薄膜トランジスタのうち、印加される信号電圧の波形によって負荷が大きく劣化しやすくなるLレベル出力側のトランジスタのみを比較的高耐圧の構造に形成することにより、駆動能力の低下やトランジスタの形成面積の増大を少なく抑えながら、同時に、信頼性が向上される。

【0019】前記第6の構成で、高耐圧の多結晶シリコ

ン薄膜トランジスタとして、高濃度にドーピングされたソース及びドレイン領域の少なくとも一方と、ノンドープのチャンネル領域との間に低濃度にドーピングされたLD領域を介在させた構造とすることにより、チャンネル中の電界が緩和されて耐圧が高まり、信頼性が向上する。

【0020】前記第7の構成で、Hレベル期間の長いNAND回路出力端に接続するLレベル側の多結晶シリコン薄膜トランジスタのドレインにLD領域を形成することにより、ドレイン領域近傍の強電界が緩和され、駆動能力の低下やトランジスタの形成面積の増大を最小限に抑えながら、同時に、信頼性が向上される。

#### 【0021】

【実施例】統いて、本発明を実施例に基づいて詳細に説明する。まず図1に、ゲートドライバーの構成を示す。

シフトレジスタの各段は、第1のクロックドインバータ(1)、及び、入力端が第1のクロックドインバータ(1)の出力端に接続されたインバータ(2)と、インバータ(2)の入出力端にそれぞれ出力端が接続された第2のクロックドインバータ(3)からなるラッチ回路(4)により構成されている。各段の出力(…Qn-1, Qn, Qn+1…)は、NAND回路(5)とインバータ(6)により論理積が取られ、画素部のゲートライン(G)へ印加される。同一段の第1及び第2のクロックドインバータ(1, 3)は、相反転クロック信号が入力され、かつ、各段のクロックドインバータ(3)と次段のクロックドインバータ(1)は同じクロック信号が印加される。

【0022】図2はドレインドライバーの構成であり、ゲート側と同様、シフトレジスタの各段は、第1のクロックドインバータ(1)、及び、インバータ(2)と第2のクロックドインバータ(3)からなるラッチ回路(4)により構成されている。各段の出力はサンプル・ホールド回路(SH)を介して画素部のドレインライン(D)へ印加される。

【0023】図3は、図1及び図2に示したシフトレジスタの第n段の等価回路図である。第n-1段からの入力(Qn-1)は、n-ch TFT(11, 12)及びp-ch TFT(13, 14)より構成された第1のクロックドインバータ(1)へ入力され、その出力(\*Qn)は、n-ch TFT(21)及びp-ch TFT(22)より構成されたインバータ(2)へ接続されるとともに、n-ch TFT(31, 32)及びp-ch TFT(33, 34)より構成されたクロックドインバータ(3)の出力側へ接続されている。インバータ(2)の出力は第n段の出力(Qn)となるとともに、クロックドインバータ(3)の入力側へ接続されている。

【0024】各々の論理ゲートにおいて、n-ch TFT(11, 21, 31)はクロックドインバータ及びイ

ンパート(1, 2, 3)のLレベルを出力し、p-ch TFT(13, 22, 33)はHレベルを出力する。また、n-ch TFT(12, 32)はそれぞれクロック信号(CLK)及び反転クロック信号(\*CLK)によりクロックドインバータ(1, 3)のLレベルの出力を制御し、p-ch TFT(14, 34)はそれぞれ反転クロック信号(\*CLK)及びクロック信号(CLK)によりクロックドインバータ(1, 3)のHレベルの出力を制御する。

【0025】図4は、図1から図3に示したシフトレジスタの第n段の入出力波形である。以下、図4を参照しながら各構成素子の振る舞いを考察する。期間(A)において、前段からの入力(Q<sub>n-1</sub>)はLレベルであり、この時、p-ch TFT(13)はONであり、更にこの期間の半分に当たる反転クロック信号(\*CLK)のL期間中にp-ch TFT(1-4)がONするため、第1のクロックドインバータ(1)の出力(\*Q<sub>n</sub>)は常時Hレベルに保たれる。この間、n-ch TFT(11)はOFFであり、また、この期間の半分はクロック信号(CLK)がHレベルになるため、X点での電圧(V<sub>X</sub>)は常時Lレベルにある。即ち、n-ch TFT(11)は、OFF中にバイアス電圧(|\*Q<sub>n</sub>-V<sub>X</sub>|>0)が印加された状態で、負荷がかかっている。

【0026】また、第1のクロックドインバータ(1)からのHレベルの入力(\*Q<sub>n</sub>)により、n-ch TFT(21)はONされ、出力(Q<sub>n</sub>)はLレベルとなっている。このLレベル入力によりp-ch TFT(33)がONされ、更に、この期間の半分に当たるクロック信号(CLK)のL期間中にp-ch TFT(34)がONするため、第2のクロックドインバータ(3)の出力(\*Q<sub>n</sub>)はHレベルに保たれる。この間、n-ch TFT(31)はOFFであるため、反転クロック信号(\*CLK)とは無関係に、Y点での電圧(V<sub>y</sub>)はLレベルにある。即ち、n-ch TFT(31)は、OFF中にバイアス電圧(|\*Q<sub>n</sub>-V<sub>y</sub>|>0)が印加された状態で、負荷がかかっている。

【0027】続く期間(B)では、前段からの入力(Q<sub>n-1</sub>)はHレベルとなって、n-ch TFT(11)がONとなりp-ch TFT(13)がOFFとなるが、クロック信号及び反転クロック信号(CLK, \*CLK)によりn-ch TFT(12)及びp-ch TFT(14)がOFFであるため、出力(\*Q<sub>n</sub>)はHレベルのままである。X点では、n-ch TFT(11)がONであるため、電圧(V<sub>X</sub>)は出力(\*Q<sub>n</sub>)と同じHレベルとなる。この時、n-ch TFT(12)はOFF中にバイアス電圧(|V<sub>X</sub>|)が印加された状態になり、負荷がかかっている。

【0028】続く期間(C)では、クロック信号及び反転クロック信号(CLK, \*CLK)によりn-ch TFT(12)及びp-ch TFT(14)がONされる

ため、出力(\*Q<sub>n</sub>)はLレベルとなる。そして、n-ch TFT(21)がOFFされ、p-ch TFT(22)がONとなり、出力(Q<sub>n</sub>)はHレベルとなる。この時、n-ch TFT(21)はOFF中にバイアス電圧(|Q<sub>n</sub>|)が印加された状態で負荷がかかっている。この時、クロック信号及び反転クロック信号(CLK, \*CLK)によりクロックドインバータ(3)はOFFされている。

【0029】次の期間(D)では、前段からの入力(Q<sub>n-1</sub>)はLレベルになって、n-ch TFT(11)がOFFとなりp-ch TFT(13)がONとなるが、クロック信号及び反転クロック信号(CLK, \*CLK)によりn-ch TFT(12)及びp-ch TFT(14)がOFFであるため、出力(\*Q<sub>n</sub>)はLレベルのままである。

【0030】そして期間(E)では、クロック信号及び反転クロック信号(CLK, \*CLK)によりn-ch TFT(12)及びp-ch TFT(14)がONとなるため、出力(\*Q<sub>n</sub>)はHレベルとなり、これ以降、期間(A)と同じ状態になる。以上の考察をまとめると、全動作期間の大部分を占める期間(A, E)では、n-ch TFT(11, 31)がOFF中にバイアス電圧が印加された状態にあり(n-ch TFT(31)については期間(B)も)、大きな負荷がかかっていて劣化しやすくなっている。一方、n-ch TFT(12)は期間(B)のみ、また、n-ch TFT(21)は期間(C, D)のみOFF中にバイアス電圧が印加された状態になっている。これらの期間(B, C, D)は、全動作期間の数百分の一を占めるにすぎず、通常、各素子は期間(A, E)の電圧印加状態にあるものとみなせる。

【0031】また、p-ch TFT(22)は期間(A, B, E)、p-ch TFT(13)は期間(C)、p-ch TFT(33)は期間(C, D)、p-ch TFT(14)は期間(D)においてOFF中にバイアス電圧が印加された状態になっているが、これらp-ch 素子は周知の如くホールによる導電のためn-ch 素子と比べると、一般に劣化は小さい。

【0032】これから、n-ch TFT(11, 31)にかかる負荷が断然大きく、他の素子に比べて劣化しやすい状態にあることがわかる。このため、これらのTFT(11, 31)のみにLDD構造を採用することにより、シフトレジスタ部全体の耐圧を効率的に高めながら、駆動能力の低下、及び、素子形成面積の拡大を最小限に抑えることができる。

【0033】図5は図1に示されたNAND回路(5)の等価回路図である。n-ch TFT(51, 52)とp-ch TFT(53, 54)により構成され、それぞれの入力端にはシフトレジスタの隣接する出力が接続されている。即ち、図1におけるクロックドインバータ

(1) の入力 ( $Q_{n-1}$ ) が n-ch TFT (51) 及び p-ch TFT (53) にゲート入力されるとともに、インバータ (2) の出力 ( $Q_n$ ) が n-ch TFT (52) 及び p-ch TFT (54) にゲート入力されている。

【0034】図6に、NAND回路 (5) の入出力波形を示す。入力 ( $Q_{n-1}$ ) と入力 ( $Q_n$ ) は、クロック信号 (CLK) の  $1/2$  周期期間互いにずれており、出力 ( $*V_n$ ) は入力 ( $Q_{n-1}, Q_n$ ) がいずれも H レベルの期間 (H) のみ L レベルとなっている。また、図6の Z で示した地点の電圧 ( $V_z$ ) は、入力 ( $Q_{n-1}$ ) が H レベルで入力 ( $Q_n$ ) が L レベルの期間 (G) のみ H レベルとなっている。これより、n-ch TFT (51) は、全動作期間の大部分に当たる期間 (F, I, J) 中 OFF 時にバイアス電圧 ( $|*V_n - V_z| > 0$ ) が印加された状態にあり、負荷が大きく、劣化しやすい状態にある。また、n-ch TFT (52) は、期間 (G) 中のみバイアス電圧 ( $|*V_n - V_z| > 0$ ) が印加された状態にあることがわかる。また、p-ch TFT (53, 54) が、期間 (H) を除いて H レベルにあることから大部分の期間でバイアス電圧が無印加の状態にある (期間 (F, H, I, J))。このため、負荷が大きく劣化しやすい n-ch TFT (51) のみに LDD 構造を採用することにより、NAND回路部全体の耐圧を効率的に高めながら、駆動能力の低下、及び、素子形成面積の拡大を最小限に抑えることができる。

【0035】なお、図示は省いたが、図1におけるインバータ (6) もまた、n-ch TFT と p-ch TFT から構成されるが、図3で示したインバータ (2) の場合と同様、全駆動期間のわずか数百分の1にあたる期間 (H) を除く大部分の期間において、入力 ( $*V_n$ ) は H レベルにあり、出力 ( $V_n$ ) は L レベルにある。即ち、n-ch TFT は ON であり、劣化しにくい状態にある。一方の p-ch TFT は周知の如く劣化は小さい。

【0036】図7と図8に TFT 素子の特性が印加電圧時間に依存して変化する様子を示した。図7はバイアス印加時間に対する閾値電圧  $V_{th}$  の初期値  $V_{th0}$  からのシフト量  $\Delta V_{th} [v]$  を示した特性図であり、図8は同じく相互コンダクタンス  $g_m$  の初期値  $g_{mo}$  からの劣化量  $\Delta g_m$  の割合  $\Delta g_m / g_{mo}$  を示した特性図である。それぞれ図の実線で示したグラフ (A) が LDD 構造を採用した素子について、ゲート電圧  $V_g = 0 [v]$  、ドレイン電圧  $V_d = 20 [v]$  の場合のシフト量  $\Delta V_{th}$  あるいは変化量  $\Delta g_m / g_{mo}$  である。また、破線で示すグラフ (B) は、比較例として、LDD 構造を採用しない素子についての同様の各量であり、各々、図16及び図17のグラフ (B) と同じ値である。図7より、閾値電圧のシフト量は、LDD 構造を採用することにより  $0.4 [v]$  以下にまで小さくなっている、同様に図8よ

り、 $g_m$  の劣化量は 5% 程度にまで小さくなっている。即ち、LDD 構造の素子は、OFF 中にバイアス電圧が印加されて負荷がかかった状態において、LDD を採らない素子と比べて特性の変化量が大幅に低減されることがある。

【0037】従って、前述の図3、図4を用いた考察、及び、図5、図6を用いた考察より、通常のLCDの駆動において、n-ch TFT (11, 31, 51) にかかる負荷が大きく、劣化しやすい状態にあることが判明したため、これら TFT (11, 31, 51) のみに、耐圧を重視して LDD 構造を採用することにより、効率的に駆動回路部全体の耐圧を高め信頼性を向上することができる。また、図3から、各々シフトレジスタの各段を構成する 10 個の TFT のうち LDD 構造を採用するのは n-ch TFT (11, 31) の 2 個であり、図5から、NAND回路 (5) を構成する 4 つの TFT のうち LDD 構造を採用するのは n-ch TFT (51) の 1 個のみである。このため、図1に示すシフトレジスタ部 (1, 4) と AND 回路 (5, 6) からなるゲートドライバー、及び、図2に示すシフトレジスタ部 (1, 4) とサンプル・ホールド部からなるドレインドライバーにおいて、n-ch TFT (11, 31, 51) を LDD 構造としても、駆動能力の低下や素子形成面積の増大が僅かです。

【0038】このような LDD 構造の n-ch TFT の構造を図9に示す。石英ガラスなどの基板 (100) 上には、p-Si (101) の島層が形成されており、両端部は n 型の不純物が高濃度にドーピングされたソース領域 (101S) 及びドレイン領域 (101D) となっている。そして、ドレイン領域 (101D) とノンドープのチャンネル領域 (101N) の間には、低濃度にドーピングされた LD 領域 (101L) が形成されている。これらの上には、全面にゲート絶縁膜 (102) が被覆され、ゲート絶縁膜 (102) 上の、チャンネル層 (101N) に対応する部分には、n 型にドーピングされた p-Si からなるゲート電極 (103) が形成され、これと同じパターンでゲート電極 (103) 上には注入ストッパー (104) である絶縁膜が形成されている。これらの上には、層間絶縁膜 (105) が被覆され、ソース及びドレイン電極 (106S, 106D) とその配線が形成され、層間絶縁膜 (105) に開口されたコンタクトホール (CT) を介して各々ソース及びドレイン領域 (101S, 101D) に接続されている。

【0039】ここで、図3に示した n-ch TFT (11, 31) では、そのドレイン電極 (106D) が各々出力 ( $*Q_n$ ) に接続され、図5に示した n-ch TFT (51) では、そのドレイン電極 (106D) が出力 ( $*V_n$ ) に接続される。出力 ( $*Q_n$ ) は、図4で説明したように、大部分の期間 (A, E) において H レベルにあり、この時 X 点の電圧 ( $V_x$ ) は L レベルであり、

11

また、ゲート入力 ( $Q_{n-1}$ ) はLレベルにある。このため、 $n\text{-ch TFT}$  (11) はOFF中にドレイン・ソース間にバイアス電圧が印加された状態であるが、特に、ドレイン領域 (101D) 側が高電圧で、強電界が発生する。同様に、 $n\text{-ch TFT}$  (31) では、期間 (A, B, E)において、OFF中にドレイン・ソース間にバイアス電圧が印加された状態でドレイン領域 (101D) 側に強電界が発生する。また、図6で説明したように、大部分の期間 (F, I, J)において、(\*V<sub>n</sub>) はHレベルであり、この時Z点の電圧 (V<sub>Z</sub>) はLレベル、また、ゲート入力 ( $Q_{n-1}$ ) はLレベルにある。このため、 $n\text{-ch TFT}$  (51) は、OFF中にドレイン・ソース間にバイアス電圧が印加された状態にあり、特に、ドレイン領域 (101D) 側が高電圧で強電界が生じる。

【0040】このため、図9のごとくドレイン側にLD領域 (101L) を形成してドレイン領域 (101D) 近傍の強電界を緩和することにより、劣化を防いでいる。なお、LD領域 (101L) は、ドレイン側には必要不可欠であるが、ソース側には、相互コンダクタンスの低下及び素子形成面積の増大を最低限に抑えるため、SD (シングルドレイン) としている。

【0041】また、この構造のTFTは、OFF時のリード電流抑制に優れ、保持特性を向上することができる。画素部のスイッチング素子にも採用する。以下、図10から図13を用いて製造方法を説明する。まず、高耐熱性の石英ガラスからなる透明基板 (100) 上に、640°C、0.3 Torr 程度の条件下で Si H<sub>4</sub> または Si H<sub>2</sub>H<sub>6</sub> を材料ガスとした減圧CVDにより、厚さ約600Åのp-Si (101) を成膜する。このp-Si (101) を島状にエッチングした後、全面にHTO (High Temperature Oxide) 膜、即ち、880°C、0.8 Torr 程度の高温低圧条件で、材料ガスとして Si H<sub>2</sub>C<sub>12</sub> (ジクロロシラン) と N<sub>2</sub>O の混合ガスを用いた減圧CVDにより厚さ約1000ÅのSi O<sub>2</sub> を被覆し、ゲート絶縁膜 (102) としている。尚、p-Si はa-Siの熱処理により多結晶化したものでもよく、また、ゲート絶縁膜 (102) はp-Siを熱酸化したものも用いてよい。(以上、図10参照)

続いて、ゲート配線となるp-Siを前述のp-Si (101) と同様に減圧CVDにより3000Å程度の厚さに成膜し、減圧CVDによりPOC 13を拡散源としてこのゲートp-Siをn型にドーピングして低抵抗化する。ドーピングは、膜成長時にPC 13などのドーバントガスを混入してもよい。続いて、400°C程度の常圧CVDでSi O<sub>2</sub>を2500~3000Åの厚さに積層し、これをHF (フッ酸) またはBF<sub>3</sub> (バッファードフッ酸) を主成分とした混合液をエッチャントとしてゲートパターンにエッチングすることにより注入ストップ (104) を形成する。また、エッチャントにCH<sub>50</sub>

12

F<sub>3</sub>系ガスを用いたドライ式でエッチングを行ってよい。同じマスクを用い、SF<sub>6</sub>とC<sub>12</sub>を主成分とした混合ガスを用いたプラズマエッチにより、ゲートp-Si のエッチングを行うことにより、ゲート電極 (103) 、及び、その接続ラインが形成される。(以上、図1-1参照)

次に、p-chとなるTFT領域にマスキング レジストを施した後、n-chとなるp-Si (101) に対して、ゲート電極 (103) をマスクとして、n型不純物である磷 (P) をドーズ量10↑13/cmでイオン注入し、ソース・ドレイン領域に低濃度のn-p-Si領域を形成する。(以上、図1-2参照)  
更に、ゲート電極 (103) より大きなパターンのレジスト (R) で、図3及び図5に示される劣化しやすいn-ch TFT (11, 31, 51) においてゲート電極 (103) 領域及びLD領域 (-101L) をマスキングした後、再び磷 (P) をドーズ量10↑15/cmでイオン注入し高濃度のn+p-Si領域を形成する。これにより、高濃度のソース及びドレイン領域 (101S, 101D) 、ノンドープのチャンネル層 (101N) 、及び、ノンドープのチャンネル層 (101N) とn+p-Siのドレイン領域 (101D) との間にn-p-SiのLD領域 (101L) が介在され、LDD構造が完成される。ここでレジスト (R) は、マスクずれなどを考慮して、LD領域 (101L) が消滅せず、かつ、駆動能力の低下及び素子形成面積の増大を最小限に抑えるため、LD幅を1~1.5μmに設計している。即ち、露光精度の限界のため、最大0.5μm程度のレジストの位置ずれがあった場合でも、LD領域 (101L) の消滅が避けられる。この時、レジスト (R) がソース側にずれて、ソース側にLD領域が形成されても差し支えはない。(以上、図1-3参照)

全てのレジストを剥離後、p-ch領域以外にマスキングレジストを施して、p型不純物であるボロン (B) のイオン注入を行い、p-ch TFTのソース・ドレイン領域をp+型にドープする。この際、注入ストップ (104) は、ゲートセルフアライン構造におけるマスクとなるとともにn+型ゲート電極 (103) へのBイオンの注入を防ぐ。(不図示)

レジストの剥離及び活性化アニールを行った後、層間絶縁膜 (105) として全面にSi O<sub>2</sub>のCVD膜を形成し、エッチングで所定のコンタクトホール (CT) を形成した後、A1の成膜とエッチング、及び、層間絶縁膜の成膜を所定回数、更には、ITOの成膜とエッチングを行い、ソース・ドレイン電極 (106S, 106D) とその接続ライン、液晶駆動用の表示電極、及び、TFTの結線を形成し、画素部のマトリクスパターンと駆動回路部が完成される。

【0042】図13で説明したように、LDD構造は、ゲート電極 (103) 上に、レジスト (R) を選択的に

13

被覆することにより形成されるので、TFT素子のうち、LDD構造を採用する素子と、LDD構造を採用しない素子を自由に決定することができる。このため、本発明では、図7、図8及び図16、図17から、バイアス電圧の印加時間と素子特性の劣化の関係と、LDD素子の高耐圧性に着目し、かつ、図4及び図6の波形図から、図3及び図5に示したTFT素子のうち、負荷が大きく劣化しやすいn-ch TFT(11, 31, 51)のみに図9の如きLDD構造を採用し、他の素子は、図15の如きSD構造とした構成としている。これにより、相互コンダクタンスを低下させ、素子形成面積を増大させるLDD構造の採用が最小限に止められるため、駆動能力の低下やLCDモジュールの大型化を避けながら、効率的に耐圧が高められ、信頼性が向上される。

【0043】本発明は、以上で説明した実施例に限定されることはなく、入出力波形の査定によって、比較的劣化しやすい素子と、比較的劣化しにくい素子を選別し、劣化しやすい素子を、劣化しにくい素子よりも耐圧の高い構造とするものである。一般的に高耐圧の構造は駆動能力が落ちるとともに、素子形成面積を増大させるためモジュールの小型化を妨げる傾向にあるが、本発明は、特に劣化しやすい素子のみを高耐圧の構造とすることにより、駆動回路全体の耐圧を十分に高めながら、駆動能力の低下や素子形成面積の増大を最小限に抑えたものである。

【0044】

【発明の効果】以上の説明から明らかに如く、本発明は、p-Si TFTを用いた駆動回路内蔵型LCDにおいて、基板上に一体的に形成されたTFTのうち、負荷の大きい素子のみにLDD構造を採用したものである。これにより、素子特性の劣化が抑えられて、信頼性が向上するとともに、LDD構造は負荷の大きい素子にのみ選択的に採用するため、駆動能力の低下や素子形成面積の増大が最小限に抑えられ、良好な表示やLCDモジュールの小型化を妨げることがなくなる。

【図面の簡単な説明】

【図1】液晶表示装置に内蔵されたゲートドライバーの等価回路図である。

【図2】液晶表示装置に内蔵されたドレインドライバーの等価回路図である。

【図3】液晶表示装置に内蔵されたシフトレジスタの等価回路図である。

【図4】液晶表示装置に内蔵されたシフトレジスタの入出力波形図である。

14

【図5】液晶表示装置に内蔵されたNAND回路の等価回路図である。

【図6】液晶表示装置に内蔵されたNAND回路の入出力波形図である。

【図7】LDD構造を採用したTFTのバイアス印加時間-閾値電圧シフト量の特性図である。

【図8】LDD構造を採用したTFTのバイアス印加時間-相互コンダクタンス変化量の特性図である。

【図9】LDD構造のTFTの断面図である。

【図10】LDD構造のTFTの製造工程断面図である。

【図11】LDD構造のTFTの製造工程断面図である。

【図12】LDD構造のTFTの製造工程断面図である。

【図13】LDD構造のTFTの製造工程断面図である。

【図14】液晶表示装置の構成図である。

【図15】TFTの断面図である。

【図16】TFTのバイアス印加時間-閾値電圧シフト量の特性図である。

【図17】TFTのバイアス印加時間-相互コンダクタンス変化量の特性図である。

## 【符号の説明】

1, 3 クロックドインバータ

2, 6 インバータ

4 ラッチ回路

5 NAND回路

11, 12, 21, 31, 32, 51, 52 n-ch

30 TFT

13, 14, 22, 33, 34, 53, 54 p-ch

TFT

100 基板

101 p-Si

102 ゲート絶縁膜

103 ゲート電極

104 注入ストッパー

105 層間絶縁膜

106 ソース・ドレイン電極

40 CT コンタクトホール

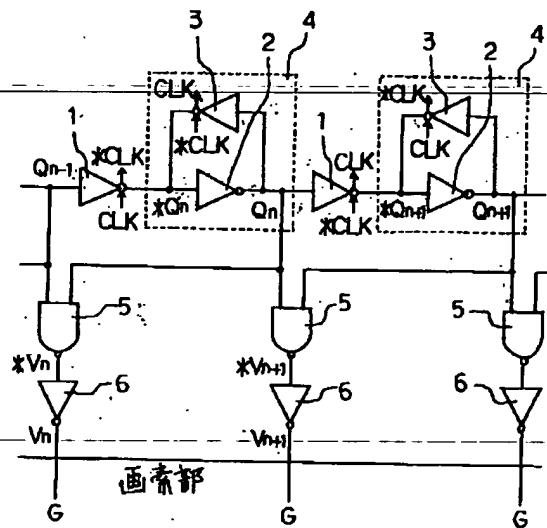
G ゲートライン

D ドレインライン

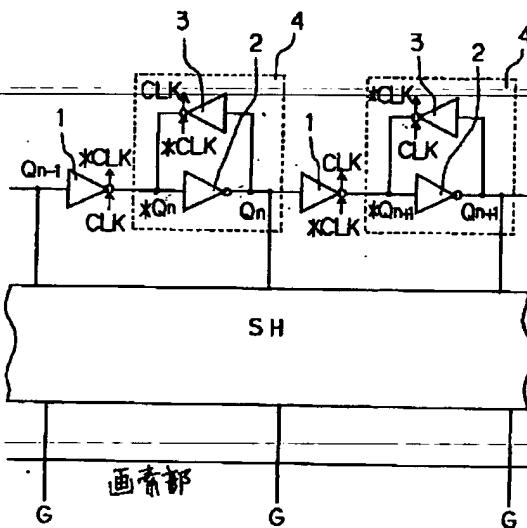
GD ゲートドライバー

DD ドレインドライバー

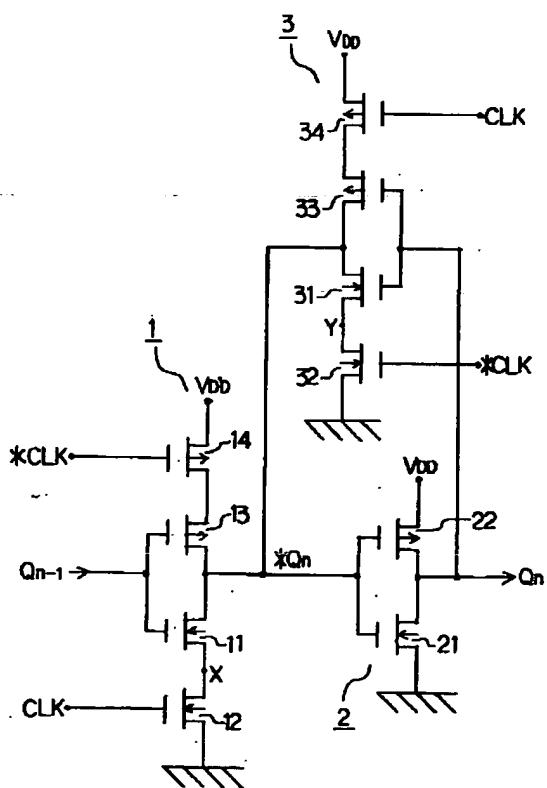
【図1】



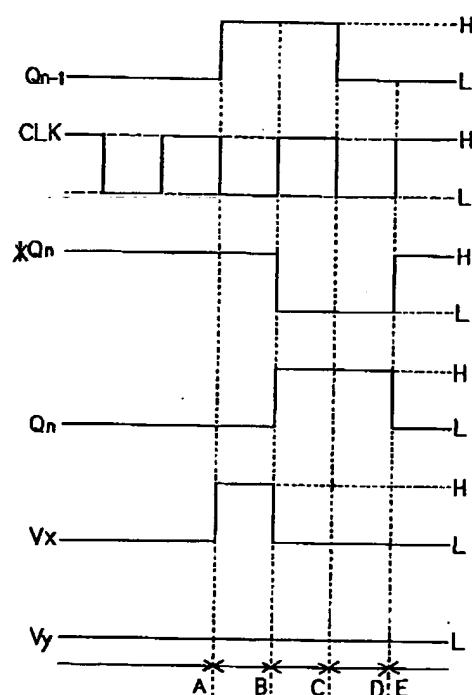
【図2】



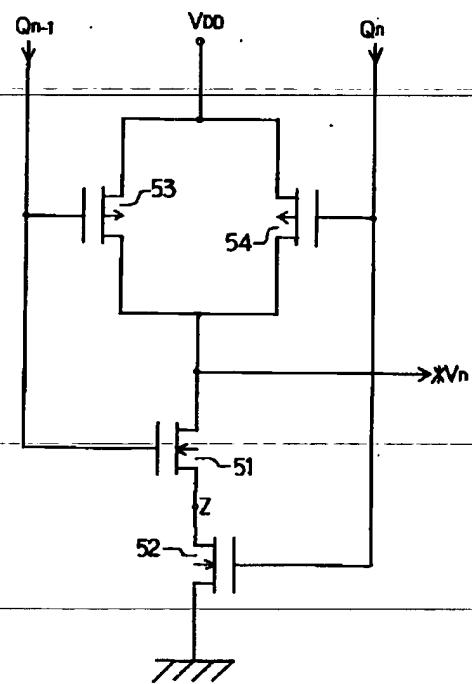
【図3】



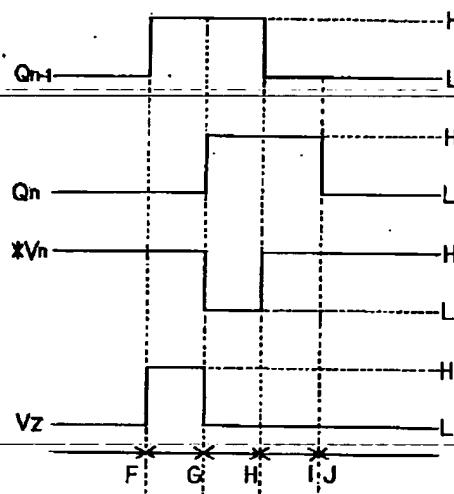
【図4】



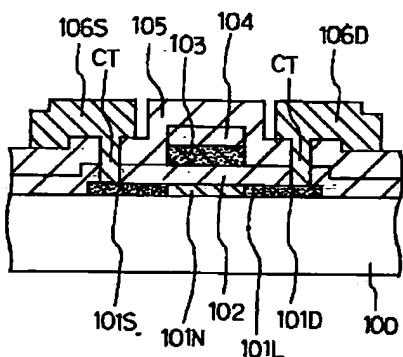
【図5】



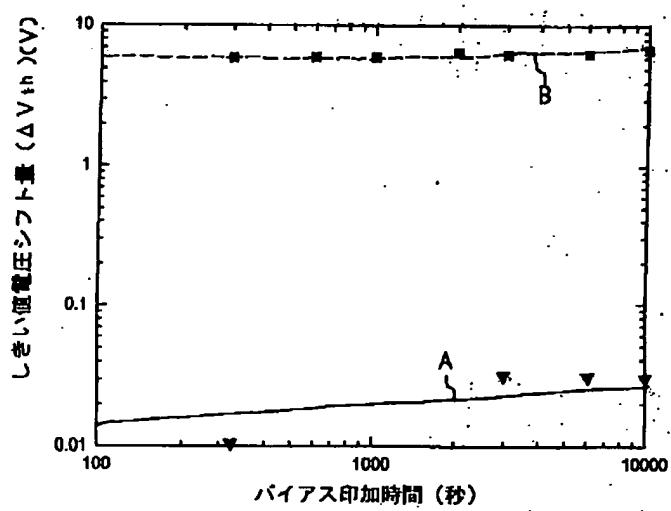
【図6】



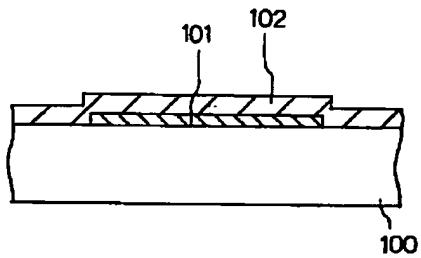
【図9】



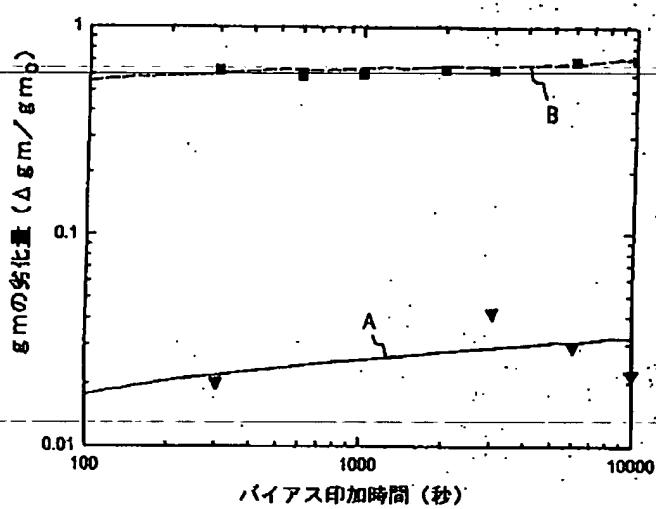
【図7】



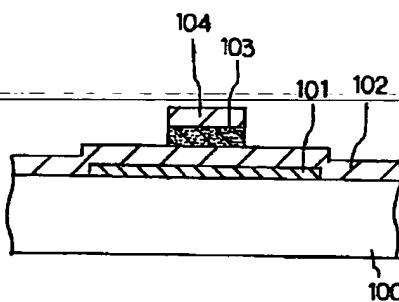
【図10】



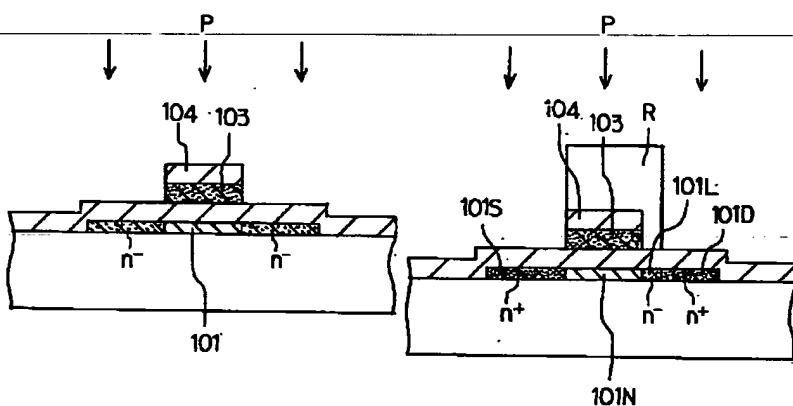
【図8】



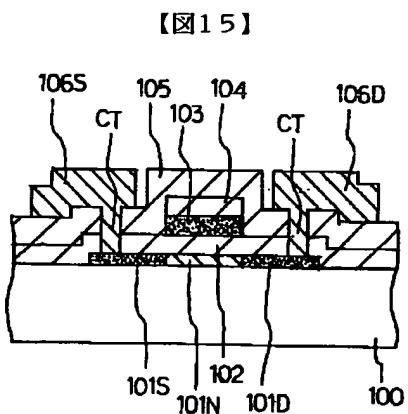
【図11】



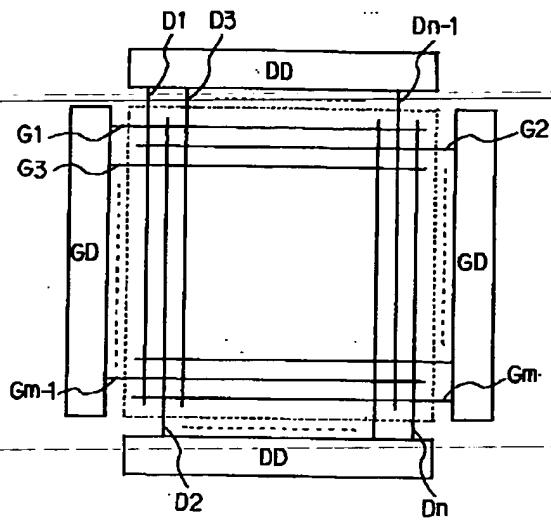
【図12】



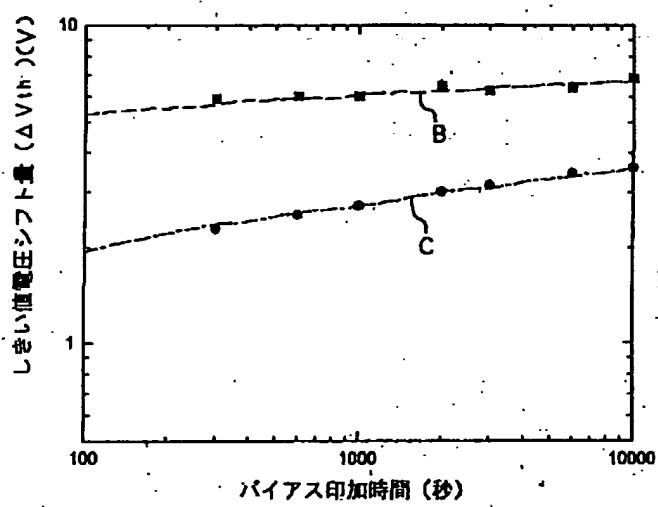
【図13】



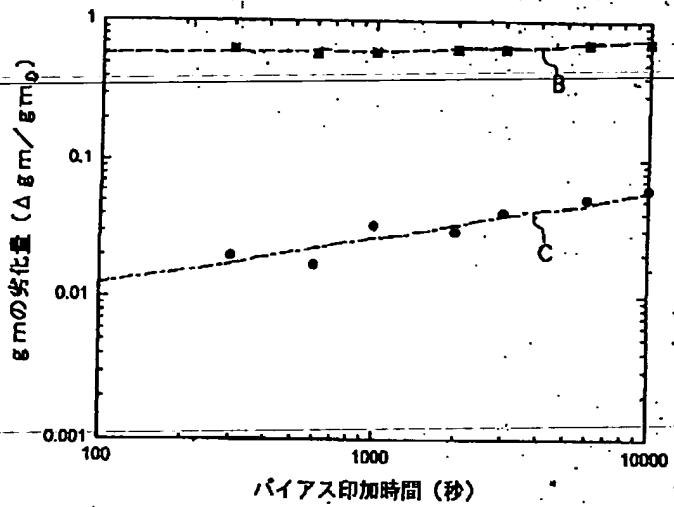
【図14】



【図16】



【図17】



## 【手続補正書】

【提出日】平成7年8月8日

【補正方法】変更

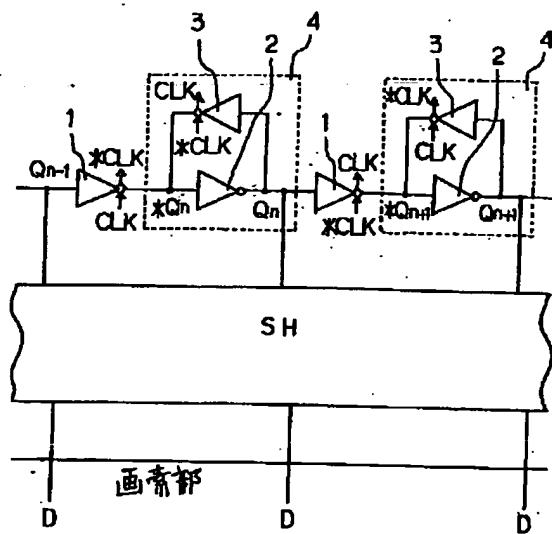
## 【手続補正1】

【補正内容】

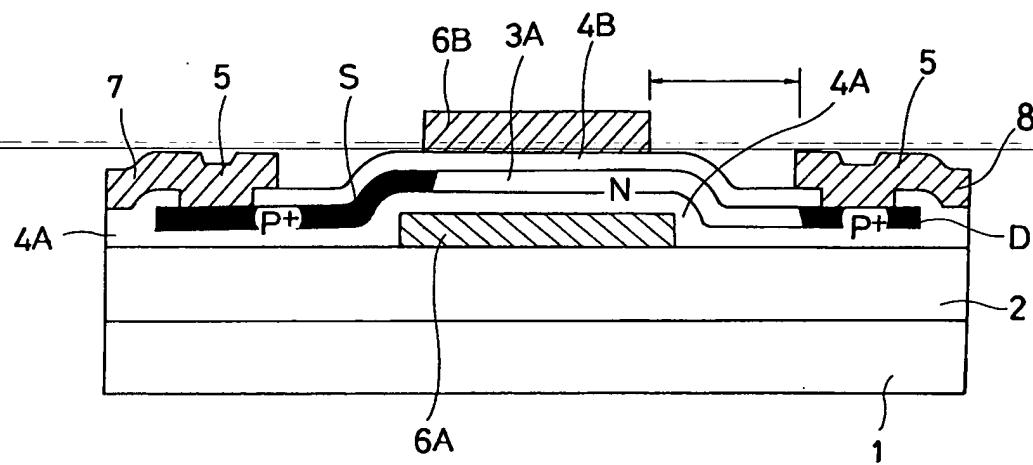
## 【補正対象書類名】図面

【図2】

## 【補正対象項目名】図2

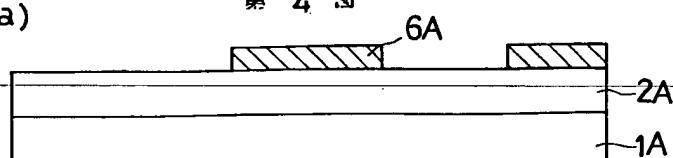


## 第 3 圖

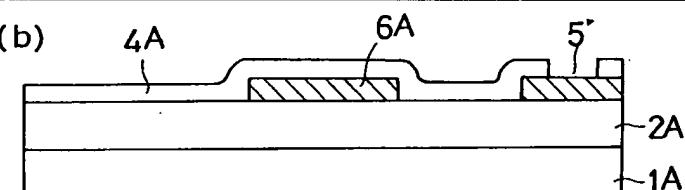


第 4 圖

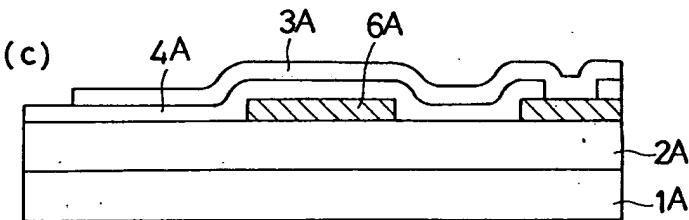
(a)



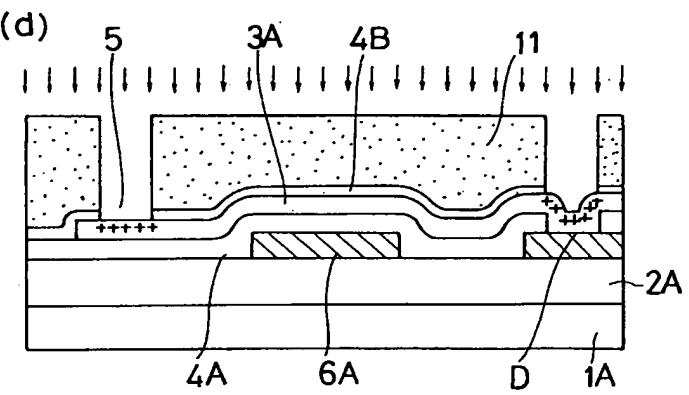
(b)



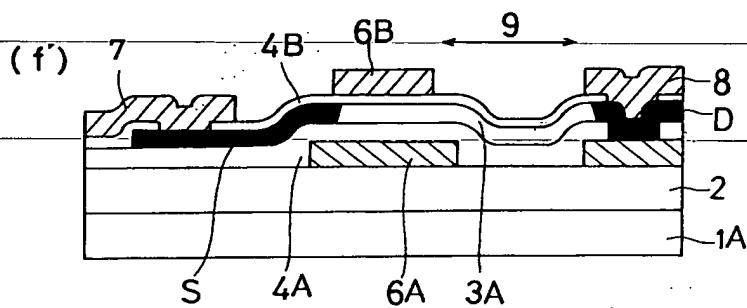
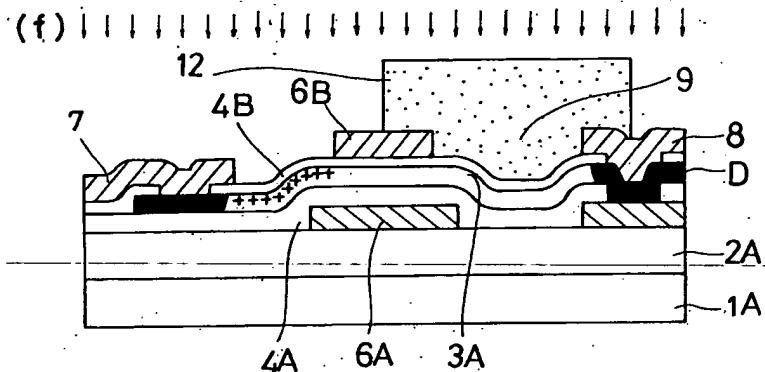
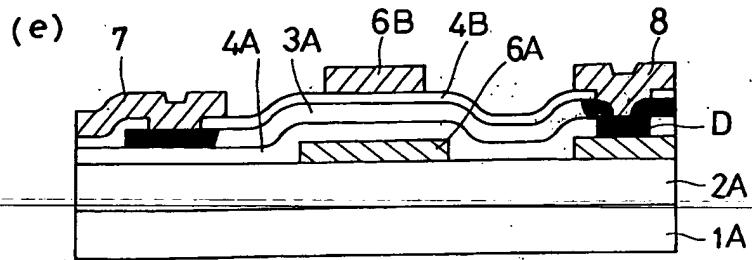
(c)



(d)

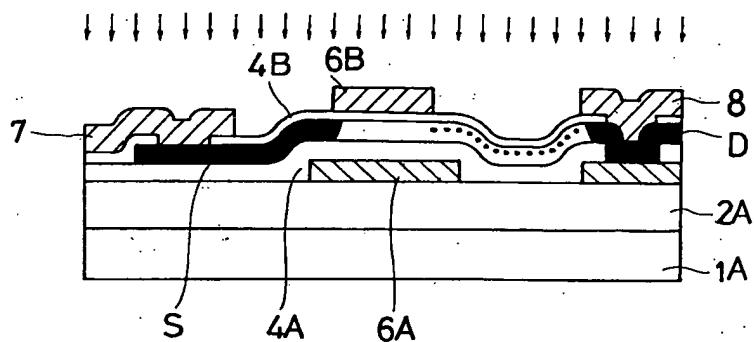


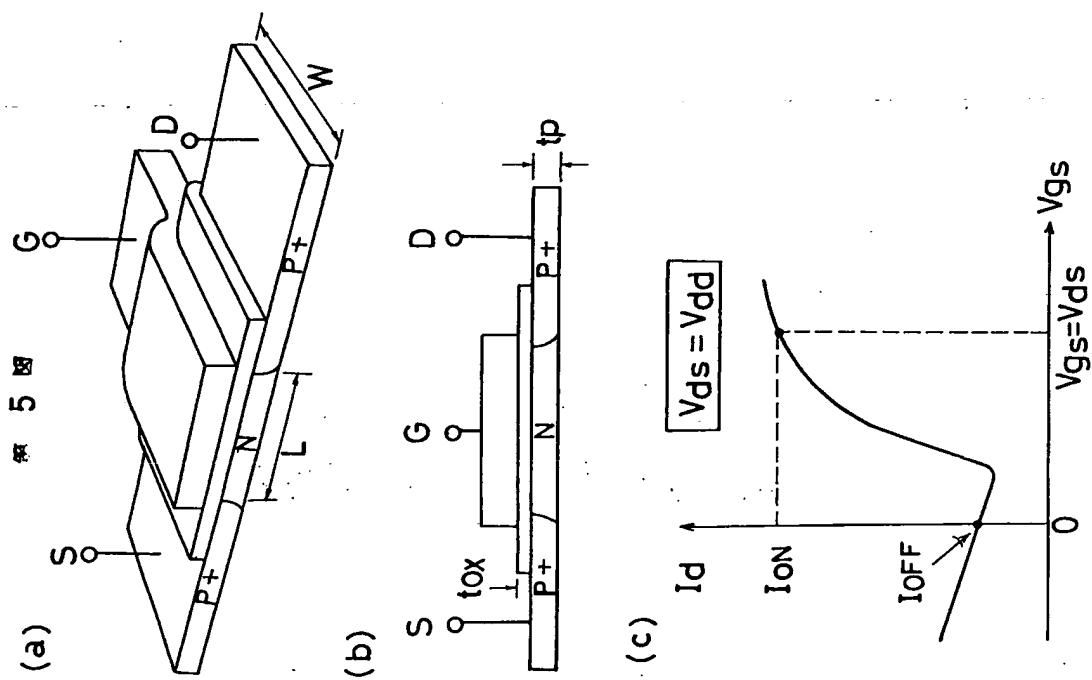
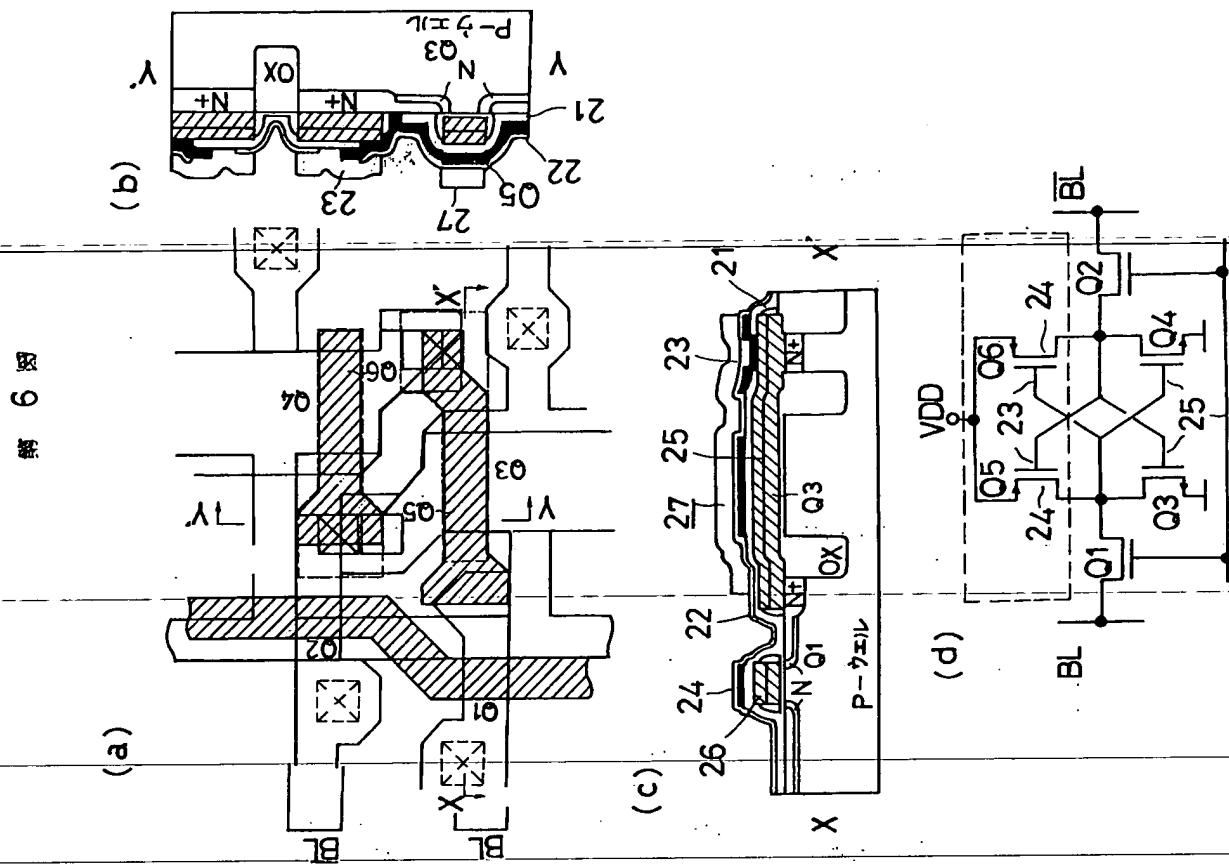
第 4 図



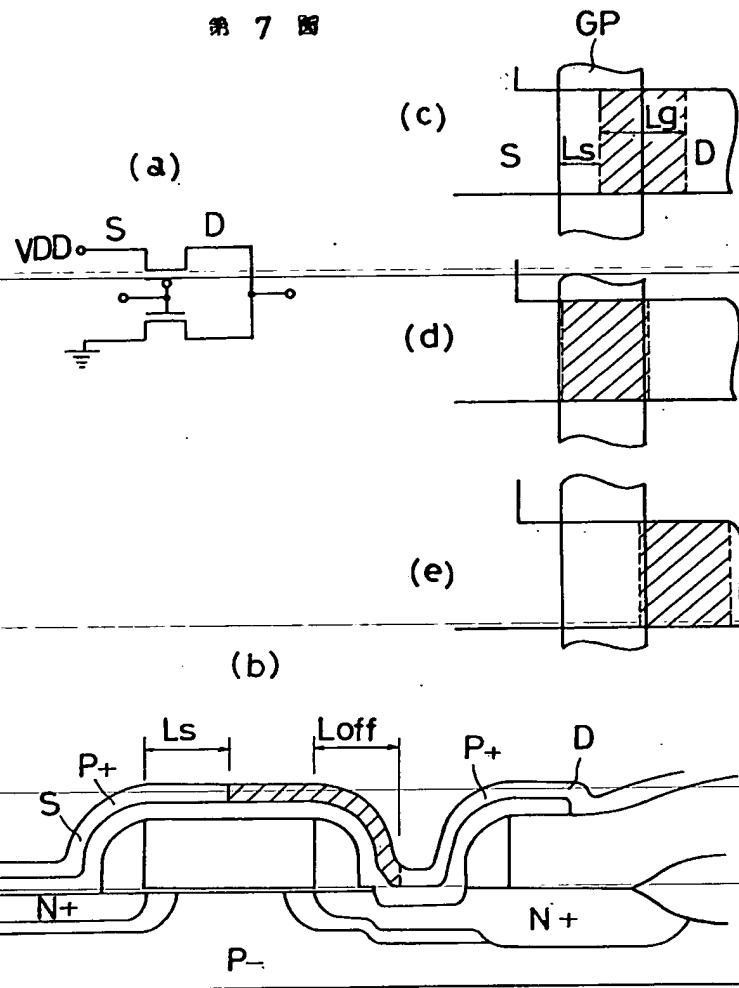
第 4 図

(g)

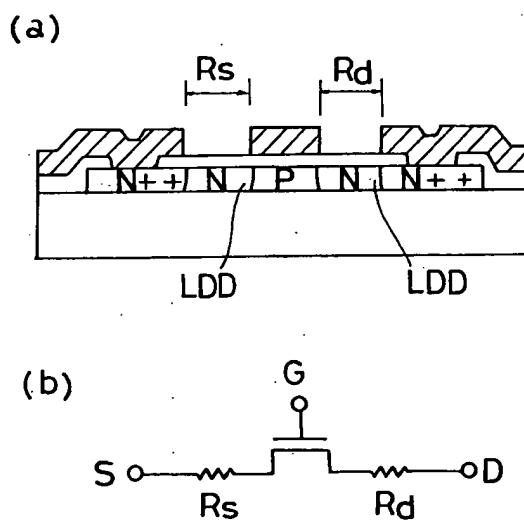




第 7 図



第 8 図



## 手 統 换 正 書 (方式)

平成 2 年 8 月 29 日

特許庁長官 植 松 敏 敏

## 1. 事件の表示

平成 2 年特許願第 113833 号

## 2. 発明の名称

MOS 型薄膜トランジスタ

## 3. 换正をする者

事件との関係 特許出願人

住所 大阪市阿倍野区長池町 22 番 22 号

名称 (504) シャープ株式会社

代表者 辻 晴 雄

## 4. 代理人 〒530

住所 大阪市北区西天満 5 丁目 1-3 クオーター・ワンビル

電話 (06) 365-0718

氏名 弁理士 (6524) 野 河 信 太郎

## 5. 换正命令の日付 平成 2 年 7 月 31 日 (発送日)

## 6. 换正の対象

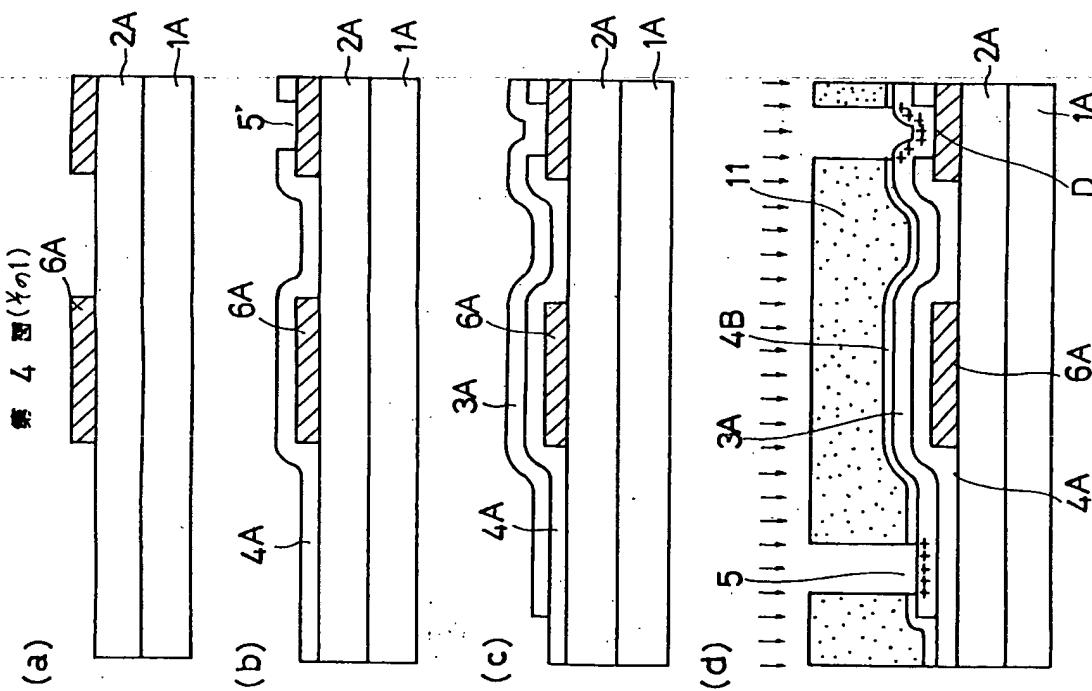
明細書の「発明の詳細な説明」の欄及び図面

## 7. 换正の内容

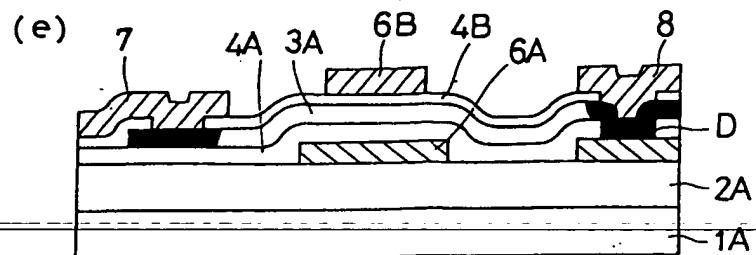
1. 明細書第 12 頁第 15 行の「(第 4 図(f'))」を「(第 4 図(h))」と換正する。

2. 図面の第 4 図を別紙のごとく換正する。

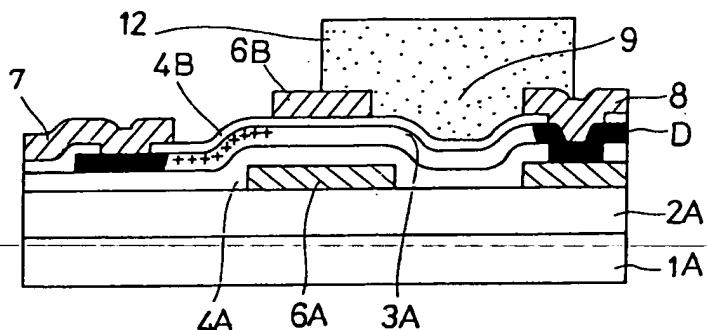
特許庁  
2. 8. 31  
出  
印



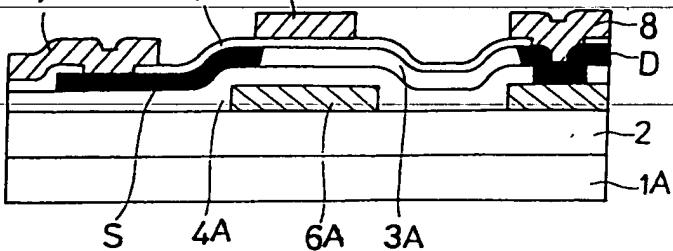
第 4 図(192)



(f)



(g)



第 4 図(193)

(g)

